



21 Aktenzeichen: 197 49 345.9
22 Anmeldetag: 7. 11. 97
43 Offenlegungstag: 27. 8. 98

30 Unionspriorität:
9-042250 26. 02. 97 JP
71 Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP
74 Vertreter:
Meissner, Bolte & Partner, 80538 München

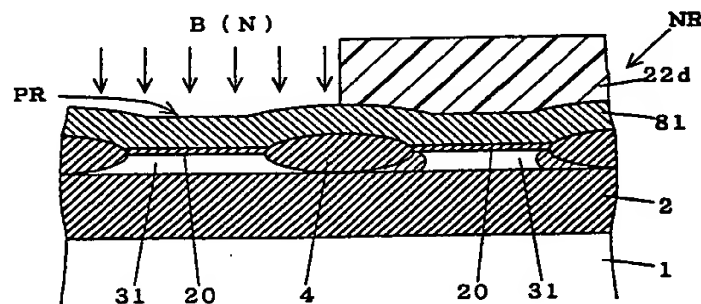
72 Erfinder:
Iwamatsu, Toshiaki, Tokio/Tokyo, JP; Ipposhi,
Takashi, Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44.PatG ist gestellt

54 Halbleitervorrichtung und Verfahren zur Herstellung derselben

57 Halbleitervorrichtung mit einer SOI-Struktur und Verfahren zur Herstellung derselben, bei welcher die Verschlechterung der Vorrichtungseigenschaften verhindert wird und die Eigenschaften verbessert werden. Eine Stickstoffionenimplantation in eine NMOS- und PMOS-Region (NR, PR), wobei ein Resist (22b) jeweils als Maske dient, führt Stickstoffionen in Kanal-dotierte Schichten (31) ein. Die nachfolgende Wärmebehandlung schafft eine Struktur, bei der Kanal-dotierte Schichten (31), die Stickstoff enthalten, eine vorbestimmte Konzentrationsverteilung in Richtung der Tiefe haben.



Implantation von N zur Absättigung von Stör Atomen
im SOI-Material. N-Atome dienen auch als Absättigung
von freien Bindungen an der Nähe des Grenzflächen
des SOI-Materials zum Gate-Oxid und zum Isolator.

Diese Erfindung ist auf eine Halbleitervorrichtung und ein Verfahren zur Herstellung derselben gerichtet, insbesondere auf eine Halbleitervorrichtung mit einer SOI-(Silizium-auf-Isolator)-Struktur und deren Herstellungsverfahren.

Fig. 23 ist eine Schnittansicht, die als ein Beispiel der Halbleitervorrichtung mit der SOI-Struktur NMOS- und PMOS-Transistoren 24, 25 zeigt, die auf einem SOI-Substrat gebildet sind.

Wie Fig. 23 zeigt, ist ein eingebetteter Oxidfilm 2 auf der Hauptoberfläche eines Siliziumsubstrats 1 gebildet und eine Einkristallsiliziumschicht 3 (im folgenden als eine SOI-Schicht bezeichnet) ist auf dem eingebetteten Oxidfilm 2 gebildet. Mit der SOI-Schicht als Substrat werden die NMOS- und PMOS-Transistoren 24, 25 auf dieser gebildet.

Der NMOS-Transistor 24 enthält ein Paar von Source-/Drainschichten 35b, die unabhängig parallel zueinander auf der Oberfläche der SOI-Schicht 3 gebildet sind, und ein Paar von leicht dotierten Drainschichten 35a (im folgenden als LDD-Schichten bezeichnet), die den einander gegenüberliegenden Rändern der Source-/Drainschichten 35b benachbart gebildet sind. Ein Gate-Oxidfilm 30 ist auf der SOI-Schicht 3 gebildet und eine Gate-Elektrode 28 ist auf dem Gate-Oxidfilm 30 gebildet. Ferner sind Seitenwandoxidfilme 26 an den Seitenoberflächen des Gate-Oxidfilms 30 der Gate-Elektrode 28 ausgebildet.

Der PMOS-Transistor 25 enthält ein Paar von Source-/Drainschichten 36b, die unabhängig parallel zueinander auf der Oberfläche der SOI-Schicht 3 gebildet sind, und ein Paar von LDD-Schichten 36a, die den einander gegenüberliegenden Rändern der Source-/Drainschichten 36b benachbart gebildet sind. Der Gate-Oxidfilm 30 ist auf der SOI-Schicht 3 gebildet und die Gate-Elektrode 28 ist auf dem Gate-Oxidfilm 30 gebildet. Ferner sind die Seitenwandoxidfilme 26 an den Seitenoberflächen des Gate-Oxidfilms 30 und der Gate-Elektrode 28 gebildet.

Der NMOS- und der PMOS-Transistor 24, 25 sind elektrisch durch einen Isolieroxidfilm 40 isoliert, der so gebildet ist, daß er den eingebetteten Oxidfilm 2 von der Oberfläche der SOI-Schicht 3 erreicht. Der Isolieroxidfilm 40 isoliert den NMOS- und den PMOS-Transistor 24, 25 ebenfalls von anderen Elementen.

Fig. 23 zeigt ferner, daß Regionen 130 mit hoher Störstellenkonzentration in Kontaktabschnitten zwischen dem Isolieroxidfilm 40 und der SOI-Schicht 3 gebildet sind, auf welcher der NMOS-Transistor 24 zu bilden ist.

Wie vorstehend beschrieben haben der auf dem SOI-Substrat gebildete NMOS- und PMOS-Transistor 24, 25 Strukturen mit der SOI-Schicht 3, die als ein Kanal wirken soll, die zwischen dem Gate-Oxidfilm 30 und dem eingebetteten Oxidfilm 2 gehalten sind. Somit hat die SOI-Schicht 3 gegenüber einem Siliziummassensubstrat unterlegene kristalline Eigenschaften und ist ferner dünn ausgebildet, wie aus Fig. 23 ersichtlich ist.

Ferner werden in einer derartigen SOI-Schicht 3 Störstellenionen allgemein in einem Herstellungsprozeß, wie etwa Kanalimplantation und Source-/Drainimplantation, des NMOS- und des PMOS-Transistors 24, 25 implantiert. Dies verursacht eine Beschädigung der SOI-Schicht 3 und verursacht eine weitere Verschlechterung der kristallinen Eigenschaften. Somit ist ein auf dem SOI-Substrat gebildeter Transistor hinsichtlich seiner Transistoreigenschaften einem auf dem Massensiliziumsubstrat gebildeten unterlegen.

Es ist Aufgabe der vorliegenden Erfindung, eine Halbleitervorrichtung mit einer SOI-Struktur, die eine Verschlechterung der Vorrichtungseigenschaften verhindert und diese verbessert, sowie deren Herstellungsverfahren aufzuzeigen.

Die Lösung der Aufgabe ergibt sich aus Patentanspruch 1 bzw. 7. Unteransprüche beziehen sich auf bevorzugte Ausführungsformen der Erfindung, wobei auch andere Kombinationen von Merkmalen als in den Ansprüchen beansprucht möglich sind.

Ein erster Aspekt der vorliegenden Erfindung ist auf eine auf einem SOI-Substrat gebildete Halbleitervorrichtung gerichtet, in der ein eingebetteter Oxidfilm und eine SOI-Schicht auf ein Siliziumsubstrat geschichtet sind. Die Halbleitervorrichtung enthält: eine erste Halbleiterregion eines ersten Leitfähigkeitstyps, die in einer vorbestimmten Position der SOI-Schicht gebildet ist und von einer Oberfläche der SOI-Schicht zu einer Oberfläche des eingebetteten Oxidfilms reicht; ein Paar von zweiten Halbleiterregionen eines zweiten Leitfähigkeitstyps, die unabhängig und selektiv auf der Oberfläche der SOI-Schicht so gebildet sind, daß sie den ersten Halbleiterbereich sandwichartig einschließen; einen Gateoxidfilm, der in einem oberen Abschnitt der ersten Halbleiterregion gebildet ist; und eine Gate-Elektrode, die auf dem Gate-Oxidfilm gebildet ist, wobei die erste Halbleiterregion Stickstoff enthält, der so eingeführt wurde, daß er eine vorbestimmte Konzentrationsverteilung in Richtung der Tiefe derselben hat, welche vorbestimmte Konzentrationsverteilung einen ersten Spitzenwertabschnitt, der mit einer ersten Konzentration in der Nähe einer Grenzfläche zwischen der ersten Halbleiterregion und dem eingebetteten Oxidfilm vorragt; und einen zweiten Spitzenwertabschnitt, der mit einer zweiten Konzentration in der Nähe einer Grenzfläche zwischen der ersten Halbleiterregion und dem Gate-Oxidfilm vorragt, hat.

Vorzugsweise hat gemäß einem zweiten Aspekt der vorliegenden Erfindung die vorbestimmte Konzentrationsverteilung einen ebenen Abschnitt, in dem nahezu Gleichförmigkeit mit einer dritten Konzentration herrscht, die niedriger ist als die erste und die zweite Konzentration, in einer Region, die zwischen dem ersten und dem zweiten Spitzenwertabschnitt gehalten ist.

Vorzugsweise liegt gemäß einem dritten Aspekt der vorliegenden Erfindung die erste Konzentration in einem Bereich von 1×10^{18} bis $1 \times 10^{19}/\text{cm}^3$; die zweite Konzentration liegt in einem Bereich von 1×10^{19} bis $1 \times 10^{20}/\text{cm}^3$; und die dritte Konzentration liegt in einem Bereich von 1×10^{16} bis $1 \times 10^{17}/\text{cm}^3$.

Vorzugsweise hat gemäß einem vierten Aspekt der vorliegenden Erfindung die vorbestimmte Konzentrationsverteilung einen dritten Spitzenwertabschnitt, der mit einer dritten Konzentration, die mindestens niedriger ist als die zweite Konzentration, nahe einem Zentrum einer Region vorragt, die zwischen dem ersten und dem zweiten Spitzenwertabschnitt gehalten ist.

Vorzugsweise liegt gemäß einem fünften Aspekt der vorliegenden Erfindung die erste Konzentration in einem Bereich von 1×10^{18} bis $1 \times 10^{19}/\text{cm}^3$; die zweite Konzentration liegt in einem Bereich von 1×10^{19} bis $1 \times 10^{20}/\text{cm}^3$; und die dritte Konzentration liegt in einem Bereich von 1×10^{18} bis $5 \times 10^{19}/\text{cm}^3$.

Vorzugsweise enthält gemäß einem sechsten Aspekt der vorliegenden Erfindung die zweite Halbleiterregion in der Weise eingeführten Stickstoff, daß sie nahezu dieselbe Konzentration wie die zweite Konzentration hat.

Ein siebter Aspekt der vorliegenden Erfindung ist auf ein Verfahren zur Herstellung einer Halbleitervorrichtung gerichtet, die aus einem SOI-Substrat gebildet ist, in welchem ein eingebetteter Oxidfilm und eine SOI-Schicht auf einem Siliziumsubstrat geschichtet sind. Das Verfahren zur Herstellung der Halbleitervorrichtung enthält die Schritte: (a) Herstellen des SOI-Substrats; (b) Bestimmen einer Region zur Bildung der Vorrichtung zum Bilden der Halbleitervor-

richtung durch elektrisches Isolieren einer vorbestimmten Region der SOI-Schicht von anderen Regionen; (c) Bilden einer ersten Halbleiterregion eines ersten Leitfähigkeitstyps durch Ionenimplantation einer Störstelle eines ersten Leitfähigkeitstyps und von Stickstoff in die Vorrichtungsbildungsregion; (d) Erteilen einer Wärmebehandlung der ersten Halbleiterregion unter einer solchen Bedingung, daß der Stickstoff eine vorbestimmte Konzentrationsverteilung in Richtung der Tiefe der ersten Halbleiterregion erhält; (e) Bilden eines Gate-Oxidfilms auf der ersten Halbleiterregion; (f) Bilden einer Gate-Elektrode auf dem Gate-Oxidfilm; und (g) Bilden von zweiten Halbleiterregionen eines zweiten Leitfähigkeitstyps durch Ionenimplantation von Störstellen eines zweiten Leitfähigkeitstyps und von Stickstoff in die erste Halbleiterregion mit der Gate-Elektrode als Maske, wobei die vorbestimmte Konzentrationsverteilung einen ersten Spitzenwertabschnitt, der mit einer ersten Konzentration in der Nähe einer Grenzfläche zwischen der ersten Halbleiterregion und dem eingebetteten Oxidfilm vorragt, und einen zweiten Spitzenwertabschnitt, der mit einer zweiten Konzentration in der Nähe einer Grenzfläche zwischen der ersten Halbleiterregion und dem Gate-Oxidfilm vorragt, hat.

Vorzugsweise enthält gemäß einem achten Aspekt der vorliegenden Erfindung der Schritt (c) einen Schritt der Ionenimplantation des Stickstoffs nach der Ionenimplantation der Störstelle eines ersten Leitfähigkeitstyps.

Vorzugsweise enthält gemäß einem neunten Aspekt der vorliegenden Erfindung der Schritt (c) einen Schritt der Ionenimplantation der Störstelle eines ersten Leitfähigkeitstyps nach der Ionenimplantation des Stickstoffs.

Vorzugsweise wird gemäß einem zehnten Aspekt der vorliegenden Erfindung der Stickstoff mit einer Dosis von $0,1 \times 10^{12}$ bis $100 \times 10^{12}/\text{cm}^2$ bei einer Energie von 20 bis 35 keV implantiert.

Vorzugsweise enthält gemäß einem elften Aspekt der vorliegenden Erfindung der Schritt (d) einen Schritt der Ausführung einer Wärmebehandlung in einer Stickstoffatmosphäre über 5 bis 30 Minuten bei einer Temperatur von 800 bis 900°C.

Vorzugsweise enthält gemäß einem zwölften Aspekt der vorliegenden Erfindung der Schritt (e) einen Schritt der Bildung eines Gate-Oxidfilms durch thermische Oxidation; und die Wärmebehandlung in Schritt (d) kann auch als der Schritt zur Bildung des Oxidfilms durch thermische Oxidation in Schritt (e) dienen.

Vorzugsweise enthält gemäß einem dreizehnten Aspekt der vorliegenden Erfindung der Schritt (g) die Schritte: (g-1) Ionenimplantation der Störstellen eines zweiten Leitfähigkeitstyps in die erste Halbleiterregion mit der Gate-Elektrode als Maske; und (g-2) Bilden eines Oxidfilms auf dem Gate-Oxidfilm und der Gate-Elektrode und anschließend Ionenimplantation des Stickstoffs durch den Oxidfilm.

Vorzugsweise enthält gemäß einem vierzehnten Aspekt der vorliegenden Erfindung der Schritt (g-2) einen Schritt der Ionenimplantation des Stickstoffs mit einer Dosis von $0,1 \times 10^{12}$ bis $10 \times 10^{12}/\text{cm}^2$ bei einer Energie von 5 bis 20 keV.

Vorzugsweise enthält gemäß einem fünfzehnten Aspekt der vorliegenden Erfindung der Schritt (f) die Schritte: (f-1) Bilden einer Polysiliziumschicht auf dem Gate-Oxidfilm; und (f-2) Bilden der Gate-Elektrode durch selektives Entfernen der Polysiliziumschicht nach der Ionenimplantation von Stickstoff in die Polysiliziumschicht.

Vorzugsweise enthält gemäß einem sechzehnten Aspekt der vorliegenden Erfindung der Schritt (f-2) einen Schritt zur Implantation von Stickstoff mit einer Dosis von 3×10^{14} bis $12 \times 10^{14}/\text{cm}^2$ bei einer Energie von 5 bis 30 keV.

In der Halbleitervorrichtung gemäß dem ersten Aspekt der vorliegenden Erfindung enthält die erste Halbleiterregion Stickstoff, der so eingeführt ist, daß er eine Konzentrationsverteilung in Richtung der Tiefe hat, welche Konzentrationsverteilung einen ersten Spitzenwertabschnitt hat, der mit der ersten Konzentration in der Nähe der Grenzfläche zwischen der ersten Halbleiterregion und dem eingebetteten Oxidfilm vorragt, und den zweiten Spitzenwertabschnitt, der mit der zweiten Konzentration in der Nähe der Grenzfläche zwischen der ersten Halbleiterregion und dem Gate-Oxidfilm vorragt. Auf diese Weise kann eine Verschlechterung der Transistoreigenschaften durch Verbinden von Stickstoff mit freien Bindungen bzw. Schlenkerbindungen, die in großer Menge in der Grenzfläche zwischen der ersten Halbleiterregion und dem eingebetteten Oxidfilm vorliegen, verhindert werden, während die Transistoreigenschaften durch Verbinden von Stickstoff mit freien Bindungen verbessert werden können, die in großer Menge in der Grenzfläche zwischen der ersten Halbleiterregion und dem Gate-Oxidfilm vorliegen.

In der Halbleitervorrichtung gemäß dem zweiten Aspekt der vorliegenden Erfindung ist Stickstoff beinahe gleichförmig verteilt, wobei die dritte Konzentration niedriger ist als die erste und die zweite Konzentration in einer Region zwischen dem ersten und dem zweiten Spitzenwertabschnitt. Der Stickstoff ist in den Kristalldefekten in der SOI-Schicht festgehalten, was es verhindert, daß eine Störstelle in den Kristalldefekten festgehalten wird. Dies verhindert Veränderungen der Konzentration der Störstellen, die in der SOI-Schicht aktiv sind. Auf diese Weise kann eine Verschlechterung der Transistoreigenschaften, die durch das Vorliegen von Kristalldefekten verursacht wird, verhindert werden, und ferner werden in dem SOI-Transistor dem Massentransistor ähnliche Transistoreigenschaften verfügbar.

Bei der Halbleitervorrichtung gemäß dem dritten Aspekt der vorliegenden Erfindung erzielt der optimale Wert der Konzentrationsverteilung von Stickstoff eine praxiserreichende Halbleitervorrichtung, die die Verschlechterung der Transistoreigenschaften verhindert und eine Verbesserung derselben erreicht.

Bei der Halbleitervorrichtung gemäß dem vierten Aspekt der vorliegenden Erfindung hat die Stickstoffkonzentration den dritten Spitzenwertabschnitt, der mit der dritten Konzentration, die niedriger ist als die erste und die zweite Konzentration, in einem Abschnitt zwischen dem ersten und dem zweiten Spitzenwertabschnitt vorragt. Der Stickstoff ist in Kristalldefekten in der SOI-Schicht festgehalten, was das Festhalten einer Störstelle in den Kristalldefekten verhindert. Dies verhindert Fehlmengen in der Konzentration der Störstellen, die in der SOI-Schicht aktiv sind. Auf diese Weise kann eine Verschlechterung der Transistoreigenschaften, die durch das Vorhandensein von Kristalldefekten verursacht wird, verhindert werden, und ferner können ähnliche Transistoreigenschaften wie bei einem Massentransistor in dem SOI-Transistor verfügbar gemacht werden.

Bei der Halbleitervorrichtung gemäß dem fünften Aspekt der vorliegenden Erfindung erzielt der optimale Wert der Konzentrationsverteilung von Stickstoff eine praxiserreichende Halbleitervorrichtung, bei der die Verschlechterung der Halbleitereigenschaften verhindert wird und eine Verbesserung derselben erreicht wird.

Bei der Halbleitervorrichtung gemäß dem sechsten Aspekt der vorliegenden Erfindung wird Stickstoff mit nahezu derselben Konzentration wie diejenige in dem zweiten Spitzenwertabschnitt in die zweiten Halbleiterregionen (das heißt die Source-/Drainschichten) eingeführt. Auf diese Weise wird die Störstellenkonzentration in den zweiten Halbleiterregionen höher als diejenige in der ersten Halblei-

terregion, was es ermöglicht, eine Vielzahl von Kristalldefekten aufgrund der Störstellenimplantation zu bewältigen. Dies erzielt eine Halbleitervorrichtung, bei der die Verschlechterung der Transistoreigenschaften verhindert ist und diese verbessert werden.

Der siebte Aspekt der vorliegenden Erfindung schafft das Verfahren zur Herstellung einer Halbleitervorrichtung, das für die Halbleitervorrichtung gemäß dem ersten Aspekt der vorliegenden Erfindung anzustreben ist.

Bei dem Herstellungsverfahren der Halbleitervorrichtung gemäß dem achten Aspekt der vorliegenden Erfindung wird Stickstoff in den Kristalldefekten mit einer nachfolgenden Wärmebehandlung festgehalten, indem Stickstoff nach der Implantation der Störstellen eines ersten Leitfähigkeitstyps implantiert wird.

Bei dem Herstellungsverfahren der Halbleitervorrichtung gemäß dem neunten Aspekt der vorliegenden Erfindung wird Stickstoff in den Kristalldefekten mit einer nachfolgenden Wärmebehandlung durch Implantieren der Störstelle eines ersten Leitfähigkeitstyps nach dem Implantieren von Stickstoffionen festgehalten.

Bei dem Herstellungsverfahren der Halbleitervorrichtung gemäß dem zehnten Aspekt der vorliegenden Erfindung ist es möglich, optimale Bedingungen für die Implantation von Stickstoffionen in die ersten Halbleiterregionen zu erzielen.

Bei dem Herstellungsverfahren der Halbleitervorrichtung gemäß dem elften Aspekt der vorliegenden Erfindung ist es möglich, optimale Bedingungen zum Diffundieren von in die erste Halbleiterregion implantierten Stickstoffionen zu erzielen, so daß die Stickstoffionen eine vorgeschriebene Konzentrationsverteilung in Richtung der Tiefe haben.

Bei dem Herstellungsverfahren der Halbleitervorrichtung gemäß dem zwölften Aspekt der vorliegenden Erfindung dient der Schritt des Diffundierens von in die ersten Halbleiterregionen implantierten Stickstoffionen auch als derjenige zur Bildung des Gate-Oxidfilms, was eine Erhöhung der Anzahl der Schritte in den bevorzugten Ausführungsformen der vorliegenden Erfindung unterdrückt.

Bei dem Herstellungsverfahren der Halbleitervorrichtung gemäß dem dreizehnten Aspekt der vorliegenden Erfindung wird Stickstoff in den durch die Störstellenimplantation bedingten Kristalldefekten durch Implantieren von Stickstoff auch bei der Bildung der zweiten Halbleiterregion festgehalten, was die Verschlechterung der Transistoreigenschaften verhindert. Ferner verhindert die durch den Oxidfilm durchgeführte Stickstoffionenimplantation in diesem Fall die Verschlechterung der kristallinen Eigenschaften der SOI-Schicht, die durch die Stickstoffionenimplantation veranlaßt wird.

Bei dem Herstellungsverfahren der Halbleitervorrichtung gemäß dem vierzehnten Aspekt der vorliegenden Erfindung ist es möglich, optimale Bedingungen für das Implantieren der Stickstoffionen in die zweiten Halbleiterregionen zu erhalten.

Bei dem Herstellungsverfahren der Halbleitervorrichtung gemäß dem fünfzehnten Aspekt der vorliegenden Erfindung führt die Stickstoffionenimplantation in die Gate-Elektroden Stickstoff auch in die Gate-Oxidfilme ein, so daß die Stickstoffkonzentration in der Nähe der Grenzfläche zwischen den ersten Halbleiterregionen und den Gate-Oxidfilmen erhöht wird.

Bei dem Herstellungsverfahren der Halbleitervorrichtung gemäß dem sechzehnten Aspekt der vorliegenden Erfindung ist es möglich, optimale Bedingungen zur Implantation von Stickstoffionen in die Gate-Elektroden zu erzielen.

Diese und weitere Aufgaben, Merkmale, Aspekte und Vorteile der vorliegenden Erfindung werden aus der folgenden detaillierten Beschreibung der vorliegenden Erfindung

in Verbindung mit den beiliegenden Zeichnungen deutlich.

Fig. 1-17 sind Schnittansichten, die einen Herstellungsprozeß einer Halbleitervorrichtung gemäß bevorzugten Ausführungsformen der vorliegenden Erfindung darstellen.

Fig. 18 ist eine Teilschnittansicht, die eine Struktur der Halbleitervorrichtung gemäß der bevorzugten Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 19 ist eine Kurve, die die Konzentrationsverteilung von Stickstoff in der Halbleitervorrichtung in Richtung eines horizontalen Schnittes gemäß der bevorzugten Ausführungsform der vorliegenden Erfindung zeigt.

Fig. 20 und 21 sind Kurven, die die Konzentrationsverteilung von Stickstoff in der Halbleitervorrichtung in einer vertikalen Schnittrichtung gemäß den bevorzugten Ausführungsformen der vorliegenden Erfindung zeigen.

Fig. 22 ist eine Schnittansicht, die einen Vorgang der Stickstoffionenimplantation in LDD-Schichten ohne einen Oxidfilm zeigt.

Fig. 23 ist eine Schnittansicht, die eine Struktur eines SOIMOS-Transistors zeigt.

1. Herstellungsprozeß

Ein Prozeß zur Bildung eines MOS-Transistors auf einem SOI-Substrat gemäß vorliegender Erfindung wird nachfolgend unter Bezug auf Fig. 1 bis 17 erläutert.

Fig. 1 bis 17 sind Schnittansichten, die aufeinanderfolgend den Prozeß zur Bildung von NMOS- und PMOS-Transistoren auf dem SOI-Substrat zeigen.

Zunächst wird ein SOI-Substrat 10 wie in Fig. 1 dargestellt vorbereitet. Das SOI-Substrat 10 hat einen eingebetteten Oxidfilm 2 und eine Einkristallsiliziumschicht 3 (im folgenden als eine SOI-Schicht bezeichnet), die auf einem Siliziumsubstrat 1 übereinander geschichtet sind. Ein Verfahren zur Herstellung des SOI-Substrats 10 kann ein SIMOX-Verfahren (Trennung durch implantierten Sauerstoff) oder ein Bonding-Verfahren sein.

Wie Fig. 2 zeigt, wird ein Oxidfilm 201 mit einer Dicke von 10 bis 30 nm (100 bis 300 Å) beispielsweise auf der SOI-Schicht 3 bei einer Temperatur von annähernd 800°C durch ein CVD-Verfahren (chemical vapor deposition) gebildet. Der Oxidfilm 201 kann durch thermische Oxidation bei einer Temperatur von annähernd 800°C gebildet werden. Anschließend wird ein Nitridfilm 211 mit einer Dicke von 100 bis 200 nm (1000 bis 2000 Å) auf dem Oxidfilm 201 bei einer Temperatur von annähernd 700°C gebildet.

Der Nitridfilm 211 wird beispielsweise mittels Trockenätzung selektiv entfernt, um so einen Nitridfilm 21 nur auf einer Region zu belassen, die in der SOI-Schicht 3 aktiv sein soll. Anschließend wird, wie in Fig. 3 gezeigt, ein Resist 22a auf einer Region PR (im folgenden als eine PMOS-Region bezeichnet) gebildet, wo der PMOS-Transistor gebildet werden soll. Mit dem Resist 22a als Maske werden Regionen 13 mit hoher Störstellenkonzentration (P⁺) in einer Region NR (im folgenden als eine NMOS-Region bezeichnet) gebildet, wo der NMOS-Transistor zu bilden ist, beispielsweise durch Implantation von Borionen aus einer diagonalen Richtung mit einer Dosis von 3×10^{13} bis $8 \times 10^{13}/\text{cm}^2$ bei einer Energie von 20 bis 35 keV. Die Implantation wird unter einem Winkel von etwa 45 Grad unter Drehung des SOI-Substrats 10 ausgeführt.

Bei der Implantation von Borionen aus diagonalen Richtung unter Drehung des SOI-Substrats 10 werden die Regionen 13 mit hoher Störstellenkonzentration ebenfalls in der SOI-Schicht 3 unter dem Stickstofffilm 21 oder dem Resist 22a gebildet. Dieser Aufbau erhöht eine Schwellenspannung eines parasitären Transistors, der in einem Abschnitt gebildet wird, der zu dem Rand der SOI-Schicht 3 wird, so

daß die Aktivierung des parasitären Transistors verhindert wird.

Ferner wird eine Wärmebehandlung für etwa 2 bis 5 Sekunden bei einer Temperatur von 750 bis 950°C nach der in Fig. 3 gezeigten Ionenimplantation ausgeführt. Dies stellt die kristallinen Eigenschaften der SOI-Schicht 3, die durch Ionenimplantation beschädigt wurde, wieder her.

Nachfolgend wird der Resist 22a entfernt und, wie in Fig. 4 gezeigt, ein Isolieroxidfilm 4 wird selektiv durch LOCOS-Oxidation gebildet, wobei der Nitridfilm 21 als eine Maske dient, um eine aktive Region in der SOI-Schicht 3 zu bilden.

Anschließend werden die PMOS- und die NMOS-Region PR, NR, die elektrisch voneinander durch den eingebetteten Oxidfilm 2 und den Isolieroxidfilm 4 isoliert sind, durch Entfernen der Nitridfilme 21 durch thermische Phosphorsäurebehandlung gebildet.

Nachfolgend wird, wie in Fig. 6 gezeigt, ein Resist 22b auf der PMOS-Region PR gebildet. Mit dem Resist 22b als Maske werden Störstellenionen in der NMOS-Region NR implantiert. Diese Implantation macht die SOI-Schicht 3 in der NMOS-Region NR zu einer Kanal-dotierten Schicht 31 (erste Halbleiterregion).

Bei dieser Ionenimplantation werden Borionen (B) beispielsweise mit einer Dosis von 3×10^{12} bis $8 \times 10^{12}/\text{cm}^2$ bei einer Energie von 20 bis 35 keV implantiert.

Anschließend werden mit dem Resist 22b als Maske Stickstoffionen in die NMOS-Region NR mit einer Dosis von $0,1 \times 10^{12}$ bis $100 \times 10^{12}/\text{cm}^2$ bei einer Energie von 20 bis 35 keV implantiert.

Der Resist 22b wird dann entfernt und ein Resist 22c wird auf der NMOS-Region NR gebildet, wie in Fig. 7 gezeigt. Mit dem Resist 22c als Maske werden die Störstellenionen in die PMOS-Region PR implantiert. Diese Implantation macht die SOI-Schicht 3 in der PMOS-Region zur Kanal-dotierten Schicht 31.

Bei dieser Ionenimplantation werden Phosphorionen (P) beispielsweise mit einer Dosis von 3×10^{12} bis $8 \times 10^{12}/\text{cm}^2$ bei einer Energie von 20 bis 60 keV implantiert.

Anschließend werden mit dem Resist 22c als Maske Stickstoffionen (N) in die PMOS-Region PR mit einer Dosis von $0,1 \times 10^{12}$ bis $100 \times 10^{12}/\text{cm}^2$ bei einer Energie von 20 bis 35 keV implantiert.

Anschließend wird das SOI-Substrat mit der NMOS- und der PMOS-Region NR, PR, in die Stickstoffionen implantiert sind, einer Stickstoffatmosphäre ausgesetzt und etwa 5 bis 30 Minuten bei einer Temperatur von annähernd 820°C getempert.

1-1 Erster Effekt der Stickstoffionenimplantation

Die folgende Beschreibung erklärt den Grund für die Implantation von Stickstoffionen in die PMOS- und die NMOS-Region PR, NR.

Im allgemeinen sind Kristalldefekte über die SOI-Schicht in einer Dichte von 1×10^2 bis $1 \times 10^7/\text{cm}^2$ verteilt. Wenn Störstellenionen in eine derartige SOI-Schicht implantiert werden, können einige derselben durch die nachfolgende Wärmebehandlung diffundiert und in den Kristalldefekten festgehalten werden. Je mehr Kristalldefekte existieren, desto mehr aktive Störstellenionen werden in der Nähe der Kristalldefekte reduziert, was eine Verschlechterung der Transistoreigenschaften verursacht. Dies würde nicht in einem Transistor auftreten, der in einer Massensiliziumschicht gebildet ist (im folgenden als ein Massentransistor bezeichnet), die hinsichtlich der kristallinen Eigenschaften überlegen ist, oder in einem Transistor, der in einer Polysiliziumschicht gebildet ist (z. B. Dünnschichttransistor).

Wenn andererseits Stickstoffionen gleichzeitig mit Stör-

stellenionen implantiert werden, werden die Stickstoffionen anstelle der Störstellenionen festgehalten. Somit werden die effektiven Kristalldefekte (Kristalldefekte, die Atome festhalten können) verringert, so daß die Reduzierung der aktiven Störstellenionen in der Nähe der Kristalldefekte verhindert wird. Das heißt, daß die Verschlechterung der Transistoreigenschaften, die durch die Kristalldefekte verursacht ist, verhindert werden kann und ähnliche Transistoreigenschaften wie bei Massentransistoren in dem SOI-Transistor erhalten werden können.

Ferner hat Stickstoff wie Bor die Eigenschaft der substitutionellen Diffusion mit einem Diffusionskoeffizienten, der größer ist als bei Bor. Auf diese Weise kann der Stickstoff in den Kristalldefekten vor dem Bor festgehalten werden. Die Diffusion in einer unterschiedlichen Form würde jedoch nicht die vorstehend beschriebenen Effekte beeinflussen.

Obgleich ferner die Dichte der Kristalldefekte bei jedem SOI-Substrat unterschiedlich ist, vermeidet eine Reduzierung der effektiven Kristalldefekte wie vorstehend beschrieben die Möglichkeit, daß jedes SOI-Substrat eine unterschiedliche Störstellenkonzentration haben kann. Auf diese Weise können Variationen der Transistoreigenschaften zwischen Losen und zwischen Fertigungseinheiten des SOI-Substrats bei der Massenproduktion von Halbleitervorrichtungen verringert werden.

Wenn die Dosis der Stickstoffionenimplantation $100 \times 10^{12}/\text{cm}^2$ übersteigt, beispielsweise bei etwa $1 \times 10^{15}/\text{cm}^2$, wird die SOI-Schicht durch Stickstoffionen beschädigt. In diesem Fall verursacht die Stickstoffionenimplantation die Verschlechterung der Transistoreigenschaften, anstatt die Eigenschaften zu verbessern.

Ferner kann im Hinblick auf die Tatsache, daß Stickstoffionen verwendet werden, um in den Kristalldefekten erfaßt zu werden, die Stickstoffionenimplantation vor der Störstellenimplantation ausgeführt werden.

Darüber hinaus kann, obgleich Stickstoffionen getrennt in die NMOS- und die PMOS-Region NR, PR in dem in Fig. 6 und 7 gezeigten Prozeß implantiert werden, dies gleichzeitig entweder nach oder vor der Störstellenimplantation in die NMOS- und die PMOS-Region NR, PR ausgeführt werden. Dies verringert die Anzahl der Umschaltvorgänge von Ionen zwischen Stickstoff und Störstelle, wodurch ein Zeitverlust beim Umschalten der Ionenart verringert wird und die Produktionseffizienz verbessert wird.

Ferner ist die Implantationsenergie von Bor- und Phosphorionen wie vorstehend bei Fig. 6 und 7 erläutert so eingestellt, daß die Mitte der SOI-Schicht 3 in Richtung der Tiefe den Spitzenwert der Störstellenverteilung haben kann, wenn die SOI-Schicht 3 etwa 100 nm (etwa 1000 Angström) dick ist. Auf diese Weise würde die Implantationsenergie in Abhängigkeit von der Art der Störstellen oder der Dicke der SOI-Schicht 3 differieren.

1-2 Zweiter Effekt der Stickstoffionenimplantation

Die folgende Beschreibung bezieht sich auf einen weiteren Effekt der Stickstoffionenimplantation.

Wie weiter unten anhand einer in Fig. 17 gezeigten vollendeten Struktur erläutert wird, haben der NMOS- und der PMOS-Transistor 14, 15 die Struktur mit der Kanal-dotierten Schicht 31, welche als ein Kanal wirken soll, die zwischen dem Gate-Oxidfilm 20 und dem eingebetteten Oxidfilm 2 gehalten ist. Im allgemeinen sind eine Vielzahl von freien Bindungen vorhanden, die durch Kristalldefekte in einer Grenzfläche zwischen einer Siliziumschicht und einem Oxidfilm verursacht sind, was einer der Gründe für die Verschlechterung der Transistoreigenschaften ist. Der SOI-Transistor enthält speziell zwei Grenzflächen zwischen der

2120
Zur
Hoch-
Kanal-
Schicht

Siliziumschicht und dem Oxidfilm: die Grenzfläche zwischen der Kanal-dotierten Schicht 31 und dem eingebetteten Oxidfilm 2 (nachfolgend als eine erste Grenzfläche bezeichnet); und die Grenzfläche zwischen der Kanal-dotierten Schicht 31 und dem Gate-Oxidfilm 20 (nachfolgend als eine zweite Grenzfläche bezeichnet).

Wenn die erste Grenzfläche in einem schlechten Zustand ist (das bedeutet eine große Menge von freien Bindungen), ist es schwierig, eine vorgeschriebene Transistoreigenschaft zu erzielen, und nur ein Transistor, der hinsichtlich seiner Transistoreigenschaften dem Massentransistor unterlegen ist, ist erzielbar. Da der Zustand der ersten Grenzfläche schlechter ist als derjenige der zweiten Grenzfläche, ist es wichtig, den Zustand der ersten Grenzfläche zu verbessern, um eine Verschlechterung der Transistoreigenschaften zu verhindern.

Wenn die zweite Grenzfläche in einem schlechten Zustand ist (das bedeutet eine große Zahl von freien Bindungen), ist eine Verbesserung der Transistoreigenschaften einschließlich eines Widerstandes für Träger mit hoher Beweglichkeit nicht erzielbar.

Die Inaktivierung von freien Bindungen durch Verbinden derselben mit implantierten Stickstoffionen würde die Verschlechterung der Transistoreigenschaften verhindern und diese verbessern.

Um freie Bindungen zu inaktivieren ist es wichtig, Stickstoffionen in der Nähe der ersten und der zweiten Grenzfläche neben dem Diffundieren und Festhalten derselben in Kristalldefekten in der Kanal-dotierten Schicht 31, wie vorstehend beschrieben, abzusondern. Die vorstehend beschriebenen Wärmebehandlungsbedingungen (das heißt Stickstoffatmosphäre, Temperatur von etwa 820°C und Zeitdauer von 5 bis 30 Minuten) werden durch die von den Erfindern durchgeführten Experimente erhalten, wobei die Anforderungen der Diffusionsbedingungen von Stickstoffionen eingehalten werden.

Die Wärmebehandlungstemperatur kann annähernd 800 bis 900°C betragen und die Wärmebehandlungszeit kann mehr als 30 Minuten betragen. Eine zu hohe Wärmebehandlungstemperatur oder eine zu lange Wärmebehandlungszeit verursacht jedoch eine übermäßige Diffusion von Stickstoffionen, was die Absonderung von Stickstoffionen in der Nähe der ersten und der zweiten Grenzfläche verhindert.

In dem von Fig. 7 fortgeführten Herstellungsprozeß werden der Resist 22c und der Gate-Oxidfilm 201 nach dem in Fig. 7 dargestellten Prozeß entfernt und eine weitere Gate-Oxidation wird ausgeführt, um einen Gate-Oxidfilm 20 auf der Oberfläche der Kanal-dotierten Schicht 31 zu bilden (nicht dargestellt).

Nachfolgend wird, wie Fig. 8 zeigt, eine Polysilizium-Gate-Schicht 81, die als Gate-Elektroden dienen soll, auf der NMOS- und der PMOS-Region NR, PR, beispielsweise mit einer Dicke von 100 bis 300 nm (1000 bis 3000 Angström) durch ein CVD-Verfahren gebildet. Anschließend wird ein Resist 22d auf der NMOS-Region NR gebildet, um Störstellenionen in die Polysiliziumschicht 81 auf der PMOS-Region PR zu implantieren. Bei dieser Ionenimplantation werden Borionen beispielsweise mit einer Dosis von 3×10^{15} bis $8 \times 10^{15}/\text{cm}^2$ bei einer Energie von 5 bis 20 keV implantiert. Anschließend werden mit dem Resist 22d als Maske Stickstoffionen in die Polysiliziumschicht 81 auf der PMOS-Region PR mit einer Dosis von 3×10^{14} bis $12 \times 10^{14}/\text{cm}^2$ bei einer Energie von 5 bis 30 keV implantiert.

Nach dem Entfernen des Resist 22d wird ein Resist 22e auf der PMOS-Region PR gebildet, um Störstellenionen in die Polysiliziumschicht 81 auf der NMOS-Region NR zu implantieren, wie in Fig. 9 gezeigt. Bei dieser Ionenimplantation werden Arsenionen (AS) beispielsweise mit einer Do-

sis von 3×10^{15} bis $8 \times 10^{15}/\text{cm}^2$ bei einer Energie von 5 bis 20 keV implantiert.

Dann werden mit dem Resist 22e als Maske Stickstoffionen in die NMOS-Region NR mit einer Dosis von 3×10^{14} bis $12 \times 10^{14}/\text{cm}^2$ bei einer Energie von 5 bis 30 keV implantiert.

1-3 Effekt der Stickstoffimplantation in die Gate-Elektrode

Die Störstellenionenimplantation in die Polysiliziumschicht 81 ist eine erforderliche Maßnahme, um die Arbeitsfunktionen bei der Verwendung der Polysiliziumschicht 81 als Gate-Elektroden zu steuern. Ferner ist der Grund dafür, daß die Implantationsenergie von Borionen und Arsenionen jeweils dieselbe ist, daß diese Ionen nur in die obere Oberfläche der Polysiliziumschicht 81 implantiert werden. Die Störstellenionen werden durch die nachfolgende Wärmebehandlung diffundiert und sind in der Polysiliziumschicht 81 beinahe gleichförmig verteilt.

Darüber hinaus zielt die Stickstoffionenimplantation in die Polysilizium-Schicht 81 auf die Inaktivierung von freien Bindungen in der Grenzfläche (zweite Grenzfläche) zwischen dem Oxidfilm 20 und der Kanal-dotierten Schicht 31 durch Absonderung von Stickstoff in der Nähe des Gate-Oxidfilms 20. Obgleich die Stickstoffionenimplantation in die SOI-Schicht, wie in Fig. 6 und 7 gezeigt, sowie der nachfolgende Wärmebehandlungsprozeß bereits den Großteil der freien Bindungen inaktiviert haben, macht eine weitere Stickstoffimplantation in die Polysiliziumschicht 81 beinahe alle freien Bindungen in der zweiten Grenzfläche inaktiv, so daß weitere Verbesserungen der Transistoreigenschaften bewirkt werden.

Obgleich eine Störstelle des p-Typs (Bor) in die Polysiliziumschicht 81 auf der PMOS-Region PR eingeführt wird, verhindert das Vorhandensein von Stickstoffionen die Diffusion der Störstelle des p-Typs in die Kanal-dotierte Schicht 31 durch den Gate-Oxidfilm 20.

Bei der weiteren Fortführung des in Fig. 9 gezeigten Prozesses wird die Polysiliziumschicht 81 selektiv entfernt, um eine Gate-Elektrode 8a an einer vorbestimmten Position auf dem Oxidfilm 20 der NMOS Region NR und eine Gate-Elektrode 8b an einer vorbestimmten Position auf dem Oxidfilm 20 der PMOS-Region PR zu bilden.

Anschließend wird ein Resist 22f auf der NMOS-Region NR gebildet, wie in Fig. 10 dargestellt. Mit dem Resist 22f und der Gate-Elektrode 8b als Masken wird eine Ionenimplantation in die PMOS-Region PR ausgeführt, um leicht dotierte Drainschichten 6a (nachfolgend als LDD-Schichten bezeichnet) in der Kanal-dotierten Schicht 31 zu bilden.

Bei dieser Ionen-Implantation werden Borionen beispielsweise mit einer Dosis von $0,1 \times 10^{12}$ bis $10 \times 10^{12}/\text{cm}^2$ bei einer Energie von 5 bis 20 keV implantiert.

Nachfolgend wird, wie Fig. 11 zeigt, ein Resist 22g auf der PMOS-Region PR gebildet. Mit dem Resist 22g und der Gate-Elektrode 8a als Maske wird eine Ionenimplantation in die NMOS-Region NR durchgeführt, um LDD-Schichten 5a in der Kanal-dotierten Schicht 31 zu bilden.

Bei dieser Ionenimplantation werden Arsenionen beispielsweise mit einer Dosis von $0,1 \times 10^{12}$ bis $10 \times 10^{12}/\text{cm}^2$ bei einer Energie von 5 bis 20 keV implantiert.

Nach dieser Implantation kann eine Wärmebehandlung über mehrere Minuten (etwa 2 bis 5 Minuten) bei einer Temperatur von 750 bis 850°C durchgeführt werden, um die kristallinen Eigenschaften wiederherzustellen.

Wie Fig. 12 zeigt, wird anschließend ein Oxidfilm 50 mit einer Dicke von etwa 5 bis 20 nm (etwa 50 bis 200 Angström) in dem oberen Abschnitt der NMOS- und der PMOS-Region NR, PR gebildet.

Danach werden Stickstoffionen in die LDD-Schichten 5a und 5b der NMOS- und der PMOS-Region NR, PR, mit einer Dosis von $0,1 \times 10^{12}$ bis $10 \times 10^{12}/\text{cm}^2$ bei einer Energie von 5 bis 20 keV implantiert.

1-4 Erster Effekt der Stickstoffionenimplantation durch den Oxidfilm

Die Aufgabe der Stickstoffionenimplantation in die LDD-Schichten 5a und 6a ist die Verhinderung der Verschlechterung der Transistoreigenschaften durch Festhalten von Stickstoff in Kristalldefekten, die durch die Störstellenionenimplantation verursacht sind. Der Grund dafür, daß die Stickstoffionenimplantation durch den Oxidfilm 50 ausgeführt wird, liegt darin, daß dies die Verschlechterung der kristallinen Eigenschaften in der Kanal-dotierten Schicht 31 verhindert. Das heißt, daß die Stickstoffionenimplantation ausgeführt wird, um die Verschlechterung der Transistoreigenschaften zu verhindern und um diese zu verbessern. In einigen Fällen kann jedoch die Stickstoffionenimplantation selbst eine Verschlechterung der kristallinen Eigenschaften in der Kanal-dotierten Schicht 31 verursachen. Obgleich die kristallinen Eigenschaften in diesen Fällen durch Wärmebehandlung wiederhergestellt wird, würde eine schwerere Beschädigung der kristallinen Eigenschaften aufgrund einer übermäßigen Implantation nicht ausreichend wiederhergestellt werden.

Wenn jedoch Stickstoffionen durch einen Oxidfilm implantiert werden, wird die Verschlechterung der kristallinen Eigenschaften aufgrund der Implantation abgemildert, so daß der Effekt der Wärmebehandlung zur Wiederherstellung der kristallinen Eigenschaften gesteigert wird.

Obgleich Stickstoffionen gleichzeitig in die LDD-Schichten 5a und 6a implantiert werden, wie in Fig. 12 gezeigt, kann die Ionenimplantation separat ausgeführt werden. In diesem Fall ist es möglich, unabhängig Implantationsbedingungen zu schaffen, so daß die Stickstoffionenimplantation in die NMOS- und die PMOS-Region NR, PR jeweils unter optimalen Bedingungen ausgeführt werden kann.

Beispielsweise liegt die optimale Dosis für die LDD-Schichten 5a (das heißt die Source-/Drainschichten) der NMOS-Transistoren im Bereich von 1×10^{12} bis $5 \times 10^{12}/\text{cm}^2$, während diejenige für die LDD-Schichten 6a (das heißt Source-/Drainschichten) der PMOS-Transistoren im Bereich von 5×10^{12} bis $10 \times 10^{12}/\text{cm}^2$ liegt. Die Implantationsenergie ist in jedem Fall etwa 20 keV.

Zur Fortführung des Herstellungsprozesses von Fig. 12 wird nach dem Entfernen des gesamten Oxidfilms 50 und des Gate-Oxidfilms 20 mit Ausnahme von Abschnitten direkt unter den Gate-Elektroden 8a und 8b ein Oxidfilm 161 mit einer Dicke von etwa 100 bis 200 nm (etwa 1000 bis 2000 Angström) in dem oberen Abschnitt der NMOS- und der PMOS-Region NR, PR gebildet. Dieser Oxidfilm 161 kann aus einem TEOS-Oxidfilm gebildet sein, der aus TEOS (Tetraethylorthosilikat) hergestellt ist. Alternativ kann der Oxidfilm 161 ohne Entfernen des Gate-Oxidfilms 20 gebildet werden.

Anschließend schafft eine anisotrope Ätzung des Oxidfilms 161 Seitenwand-Oxidfilme 16, wie in Fig. 14 gezeigt, wobei der Oxidfilm 161 nur an den Seitenoberflächen der Gate-Elektroden 8a, 8b und der jeweiligen Gate-Oxidfilme 20 belassen wird.

Wie Fig. 15 zeigt, wird anschließend ein Resist 22h auf der PMOS-Region PR gebildet. Mit dem Resist 22h, der Gate-Elektrode 8a und den Seitenwand-Oxidfilmen 16 als Maske werden Source-/Drainschichten 5b in der Kanal-dotierten Schicht 31 durch Ionenimplantation in die NMOS-Region NR gebildet.

Bei dieser Ionenimplantation werden Arsenionen beispielsweise mit einer Dosis von 1×10^{14} bis $50 \times 10^{14}/\text{cm}^2$ bei einer Energie von 5 bis 20 keV implantiert.

Nach dem Entfernen des Resist 22h wird ein Resist 22i auf der NMOS-Region NR gebildet, wie in Fig. 16 dargestellt. Mit dem Resist 22i, der Gate-Elektrode 8b und den Seitenwand-Oxidfilmen 16 als Maske werden Source-/Drainschichten 6b in der Kanal-dotierten Schicht 31 durch Ionenimplantation in die PMOS-Region PR gebildet.

Bei dieser Ionenimplantation werden Borionen, beispielsweise mit einer Dosis von 1×10^{14} bis $50 \times 10^{14}/\text{cm}^2$ bei einer Energie von 5 bis 20 keV implantiert.

Anschließend werden Zwischenschicht-Isolierfilme 60 auf der NMOS- und der PMOS-Region NR, PR gebildet. Dann werden Kontaktlöcher CH gebildet, um so die Source-/Drainschichten 5b und 6b von den Hauptoberflächen des Zwischenschicht-Isolierfilms 60 jeweils zu erreichen. Schließlich werden Verdrahtungsschichten HL aus Metallverbindungen, wie etwa einer Aluminiumverbindung, in den Kontaktlöchern CH gebildet, um den NMOS- und den PMOS-Transistor 14 und 15 zu vollenden, wie in Fig. 17 dargestellt.

Fig. 18 zeigt die Struktur des NMOS-Transistors 14. Fig. 19 und 20 zeigen die Konzentrationsverteilung von Stickstoff in der Richtung eines Schnittes entlang der Linie B-B bzw. C-C in Fig. 18.

In Fig. 19 stellt die horizontale Achse eine Position entlang der Linie B-B dar und die vertikale Achse stellt die Stickstoffkonzentration (cm^{-3}) dar. Wie Fig. 19 zeigt, beträgt die Stickstoffkonzentration in der Kanal-dotierten Schicht 31, die unter der Gate-Elektrode 8a positioniert ist (das heißt in den Kanalregionen CR), etwa $1 \times 10^{17}/\text{cm}^3$, während diejenige in den Source-/Drainschichten 5b im Bereich von 1×10^{19} bis $1 \times 10^{20}/\text{cm}^3$ liegt.

In Fig. 20 stellt die vertikale Achse die Stickstoffkonzentration (cm^{-3}) dar und die horizontale Achse stellt eine Position entlang der Linie C-C dar (das heißt die Position in Richtung der Tiefe). Bezugszeichen GR, OX, SR und BOR bezeichnen von links eine Gate-Region, eine Gate-Oxidfilmregion, eine SOI-Region bzw. eine eingebettete Oxidfilmregion.

Wie Fig. 20 zeigt, beträgt in der SOI-Region SR die Stickstoffkonzentration in der Nähe des Gate-Oxidfilms OX etwa $1 \times 10^{20}/\text{cm}^3$ und diejenige in der Nähe der eingebetteten Oxidfilmregion BOR beträgt etwa $1 \times 10^{19}/\text{cm}^3$, wobei diese beiden Konzentrationen aus der Stickstoffkonzentration in den übrigen Regionen (etwa $1 \times 10^{17}/\text{cm}^3$) herausragen. Dies erklärt deutlich, daß, wie vorstehend beschrieben, Stickstoff in den Grenzflächen zwischen der Kanal-dotierten Schicht 31 und dem eingebetteten Oxidfilm 2 (erste Grenzfläche) und zwischen der Kanal-dotierten Schicht 31 und dem Gate-Oxidfilm 20 (zweite Grenzfläche) abgesondert wird.

Wie Fig. 20 ferner zeigt, ist Stickstoff gleichförmig in der SOI-Region SR mit der Ausnahme ihrer Randabschnitte verteilt. Die implantierten Stickstoffionen können jedoch in Abhängigkeit von den Bedingungen der Wärmebehandlung nach der Stickstoffionenimplantation nicht gleichförmig diffundiert sein. Ein derartiger Zustand ist in Fig. 21 dargestellt.

In Fig. 21 hat die Konzentrationsverteilung von Stickstoff einen Spitzenwert in dem Mittelteil der SOI-Region SR. Obgleich die Stickstoffionen so implantiert werden, daß sie einen Konzentrationsspitzenwert nahe dem Mittelteil der SOI-Schicht 3 haben und durch Wärmebehandlung diffundiert werden, verbleibt der Spitzenwert in dem Mittelteil der Kanal-dotierten Schicht 31, wenn die Wärmebehandlung unter unerwünschten Bedingungen, wie etwa niedrige Temperatur

oder kurze Zeitdauer, ausgeführt wird.

In diesem Fall, in dem die Stickstoffkonzentration in dem Mittelteil der Kanal-dotierten Schicht 31 hoch ist, ist es jedoch möglich, wenn Stickstoff in der ersten und der zweiten Grenzfläche abgesondert wird, eine Verschlechterung der Transistoreigenschaften zu verhindern und diese zu verbessern.

1-5 Zweiter Effekt der Stickstoffionenimplantation durch den Oxid-Film

Die folgende Beschreibung bezeichnet einen weiteren Effekt der Stickstoffionenimplantation in die LDD-Schicht 5a und 6a durch den Oxidfilm 50 zusätzlich zur Verhinderung der Verschlechterung der kristallinen Eigenschaften der Kanal-dotierten Schicht 31, die vorstehend unter Bezug auf Fig. 12 beschrieben wurde.

Fig. 22 ist eine Teilschnittansicht von der Implantation von Störstellenionen ohne Oxidfilm 50 auf den oberen Abschnitten der NMOS- und der PMOS-Region NR, PR.

Wie Fig. 22 zeigt, werden eine Kanal-dotierte Schicht CD, in der Störstellenionen in der SOI-Schicht implantiert sind, Gate-Oxidfilme GO und eine Gate-Elektrode GE übereinander auf dem oberen Abschnitt des eingebetteten Oxidfilms BO gebildet. Mit der Gate-Elektrode GE als Maske werden Stickstoffionen in LDD-Schichten LD in der Kanal-dotierten Schicht CD implantiert. Die Stickstoffionenimplantation in eine derartige Struktur verringert wahrscheinlich in Abhängigkeit von ihrer Dosis die Zuverlässigkeit des Gate-Oxidfilms GO.

Genauer ausgedrückt können Regionen (durch X in der Figur bezeichnet) in der Nähe des Endrandabschnitts der Gate-Elektrode GE in dem Gate-Oxidfilm GO durch die Stickstoffionenimplantation beschädigt werden, wodurch sie eine Verschlechterung der elektrischen Isolierung des Gate-Oxidfilms GO erleiden. Ferner wird der Gate-Oxidfilm GO mit Ausnahme eines Abschnitts unter der Gate-Elektrode GE entfernt, obgleich er vollständig beschädigt ist. Somit bedarf die Beschädigung keiner Beachtung.

Ferner schützt das Abdecken der Gate-Elektrode mit dem Oxidfilm den Gate-Oxidfilm GO in der Nähe der Gate-Elektrode GE, was keine Beschädigung der Region X verursachen würde.

Wie vorstehend beschrieben und in Fig. 12 gezeigt, verhindert die Stickstoffionenimplantation in die LDD-Schichten 5a und 6a, die durch den Oxidfilm 50 ausgeführt wird, eine Beschädigung des Gate-Oxidfilms 20 aufgrund der Implantation und verhindert ferner die Verschlechterung der Zuverlässigkeit des Gate-Oxidfilms 20.

2. Modifikation

In der vorstehend beschriebenen bevorzugten Ausführungsform wird die Wärmebehandlung ausgeführt, um Stickstoffionen zu diffundieren, nachdem Stickstoffionen in eine Kanal-dotierte Schicht implantiert sind, wie in Fig. 6 und 7 gezeigt. Alternativ können die Stickstoffionen diffundiert werden, indem eine Gate-Oxidation genutzt wird, die nach der Stickstoffionenimplantation in die Kanal-dotierte Schicht ausgeführt wird.

Genauer ausgedrückt wird dann, wenn die Gate-Oxidation durch thermische Oxidation ausgeführt wird, die Kanal-dotierte Schicht 31 ebenfalls erwärmt, so daß implantierte Stickstoffionen diffundieren.

Ferner würde der erfindungsgemäße Herstellungsprozeß dies ermöglichen, obgleich die für die Gate-Oxidation erforderlichen Bedingungen und für die Diffusion von Stickstoffionen erforderlichen Bedingungen in diesem Fall aufeinander

der abgeglichen werden müssen.

Wenn ferner alle Bedingungen erfüllt werden, kann die vorstehend beschriebene Wärmebehandlung bzw. Temperung ebenfalls als ein weiterer Erwärmungsprozeß dienen, der nicht ein Gate-Oxidationsprozeß sein muß kann, wie etwa eine Wärmebehandlung nach der Ionenimplantation zur Bildung von LDD-Schichten, wenn sie allen Bedingungen entspricht.

Obgleich ein MOSFET als ein Beispiel einer Halbleitervorrichtung dient, die in den bevorzugten Ausführungsformen und der Modifikation der vorliegenden Erfindung auf dem SOI-Substrat gebildet wird, ist der Effekt nicht nur auf den MOSFET beschränkt. Derselbe Effekt der vorliegenden Erfindung ist in jeder Halbleitervorrichtung verfügbar, die auf dem SOI-Substrat gebildet wird und die eine Möglichkeit hat, daß eine implantierte Störstelle durch freie Bindungen erfaßt werden kann.

Patentansprüche

1. Auf einem SOI-Substrat gebildete Halbleitervorrichtung, in der ein eingebetteter Oxidfilm (2) und eine SOI-Schicht (3) auf ein Siliziumsubstrat (1) geschichtet sind, welche Halbleitervorrichtung enthält:

eine erste Halbleiterregion (31) eines ersten Leitfähigkeitstyps, die an einer vorbestimmten Position der SOI-Schicht gebildet ist und von einer Oberfläche der SOI-Schicht zu einer Oberfläche des eingebetteten Oxidfilms reicht;

ein Paar von zweiten Halbleiterregionen (5b, 6b) eines zweiten Leitfähigkeitstyps, die unabhängig und selektiv auf der Oberfläche der SOI-Schicht so gebildet sind, daß sie die erste Halbleiterregion sandwichartig einschließen;

einen Gate-Oxidfilm (20), der in einem oberen Abschnitt der ersten Halbleiterregion gebildet ist; und eine Gate-Elektrode (14, 15), die auf dem Gate-Oxidfilm gebildet ist,

dadurch gekennzeichnet, daß die erste Halbleiterregion Stickstoff enthält, der so eingeführt wurde, daß er eine vorbestimmte Konzentrationsverteilung in Richtung der Tiefe derselben hat,

welche vorbestimmte Konzentrationsverteilung einen ersten Spitzenwertabschnitt, der mit einer ersten Konzentration in der Nähe einer Grenzfläche zwischen der ersten Halbleiterregion und dem eingebetteten Oxidfilm vorragt; und

einen zweiten Spitzenwertabschnitt, der mit einer zweiten Konzentration in der Nähe einer Grenzfläche zwischen der ersten Halbleiterregion und dem Gate-Oxidfilm vorragt, hat.

2. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die vorbestimmte Konzentrationsverteilung einen ebenen Abschnitt, in dem nahezu Gleichförmigkeit mit einer dritten Konzentration herrscht, die niedriger ist als die erste und die zweite Konzentration, in einer Region hat, die zwischen dem ersten und dem zweiten Spitzenwertabschnitt gehalten ist.

3. Halbleitervorrichtung nach Anspruch 2, dadurch gekennzeichnet, daß die erste Konzentration in einem Bereich von 1×10^{18} bis $1 \times 10^{19}/\text{cm}^3$ liegt;

die zweite Konzentration in einem Bereich von 1×10^{19} bis $1 \times 10^{20}/\text{cm}^3$ liegt; und

die dritte Konzentration in einem Bereich von 1×10^{16} bis $1 \times 10^{17}/\text{cm}^3$ liegt.

4. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die vorbestimmte Konzentrations-

verteilung einen dritten Spitzenwertabschnitt hat, der mit einer dritten Konzentration, die mindestens niedriger ist als die zweite Konzentration, nahe einem Zentrum einer Region vorragt, die zwischen dem ersten und dem zweiten Spitzenwertabschnitt gehalten ist.

5 5. Halbleitervorrichtung nach Anspruch 4, dadurch gekennzeichnet, daß die erste Konzentration in einem Bereich von 1×10^{18} bis $1 \times 10^{19}/\text{cm}^3$ liegt; die zweite Konzentration in einem Bereich von 1×10^{19} bis $1 \times 10^{20}/\text{cm}^3$ liegt; und
10 die dritte Konzentration in einem Bereich von 1×10^{18} bis $5 \times 10^{19}/\text{cm}^3$ liegt.

6. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die zweite Halbleiterregion in der Weise eingeführten Stickstoff enthält, daß sie nahezu
15 dieselbe Konzentration wie die zweite Konzentration hat.

7. Verfahren zur Herstellung einer Halbleitervorrichtung, die aus einem SOI-Substrat gebildet ist, in welchem ein eingebetteter Oxidfilm und eine SOI-Schicht
20 auf einem Siliziumsubstrat geschichtet sind, welches Verfahren die Schritte enthält:

- (a) Herstellen des SOI-Substrats;
- (b) Bestimmen einer Region zur Bildung der Vorrichtung zum Bilden der Halbleitervorrichtung
25 durch elektrisches Isolieren einer vorbestimmten Region der SOI-Schicht von anderen Regionen;
- (c) Bilden einer ersten Halbleiterregion eines ersten Leitfähigkeitstyps durch Ionenimplantation einer Störstelle eines ersten Leitfähigkeitstyps
30 und von Stickstoff in die Vorrichtungsbildungsregion;
- (d) Erteilen einer Wärmebehandlung der ersten Halbleiterregion unter einer solchen Bedingung, daß der Stickstoff eine vorbestimmte Konzentrationsverteilung in Richtung der Tiefe der ersten Halbleiterregion erhält;
35
- (e) Bilden eines Gate-Oxidfilms auf der ersten Halbleiterregion;
- (f) Bilden einer Gate-Elektrode auf dem Gate-Oxidfilm; und
40
- (g) Bilden von zweiten Halbleiterregionen eines zweiten Leitfähigkeitstyps durch Ionenimplantation von Störstellen eines zweiten Leitfähigkeitstyps und von Stickstoff in die erste Halbleiterregion
45 mit der Gate-Elektrode als Maske, dadurch gekennzeichnet, daß die vorbestimmte Konzentrationsverteilung einen ersten Spitzenwertabschnitt, der mit einer ersten Konzentration in der Nähe einer Grenzfläche zwischen der ersten Halbleiterregion und dem eingebetteten Oxidfilm vorragt; und
50 einen zweiten Spitzenwertabschnitt, der mit einer zweiten Konzentration in der Nähe einer Grenzfläche zwischen der ersten Halbleiterregion und dem Gate-Oxidfilm vorragt, hat.
55

8. Verfahren zur Herstellung einer Halbleitervorrichtung nach Anspruch 7, dadurch gekennzeichnet, daß Schritt (c) einen Schritt der Ionenimplantation des Stickstoffs nach der Ionenimplantation der Störstelle
60 eines ersten Leitfähigkeitstyps enthält.

9. Verfahren zur Herstellung einer Halbleitervorrichtung nach Anspruch 7, dadurch gekennzeichnet, daß Schritt (c) einen Schritt der Ionenimplantation der Störstelle eines ersten Leitfähigkeitstyps nach der Ionenimplantation des Stickstoffs enthält.
65

10. Verfahren zur Herstellung einer Halbleitervorrichtung nach Anspruch 8 oder 9, dadurch gekennzeichnet,

daß Stickstoff mit einer Dosis von $0,1 \times 10^{12}$ bis $100 \times 10^{12}/\text{cm}^2$ bei einer Energie von 20 bis 35 keV implantiert wird.

11. Verfahren zur Herstellung einer Halbleitervorrichtung nach Anspruch 7, dadurch gekennzeichnet, daß Schritt (d) einen Schritt der Ausführung einer Wärmebehandlung in einer Stickstoffatmosphäre über 5 bis 30 Minuten bei einer Temperatur von 800 bis 900°C enthält.

12. Verfahren zur Herstellung einer Halbleitervorrichtung nach Anspruch 7, dadurch gekennzeichnet, daß Schritt (e) einen Schritt der Bildung eines Gate-Oxidfilms durch thermische Oxidation enthält; und
die Wärmebehandlung in Schritt (d) auch als der Schritt zur Bildung des Oxidfilms durch thermische Oxidation in Schritt (e) dienen kann.

13. Verfahren zur Herstellung einer Halbleitervorrichtung nach Anspruch 7, dadurch gekennzeichnet, daß Schritt (g) die Schritte enthält:

(g-1) Ionenimplantation der Störstellen eines zweiten Leitfähigkeitstyps in die erste Halbleiterregion mit der Gate-Elektrode als Maske; und

(g-2) Bilden eines Oxidfilms auf dem Gate-Oxidfilm und der Gate-Elektrode und anschließend Ionenimplantation des Stickstoffs durch den Oxidfilm.

14. Verfahren zur Herstellung einer Halbleitervorrichtung nach Anspruch 13, dadurch gekennzeichnet, daß Schritt (g-2) einen Schritt der Ionenimplantation des Stickstoffs mit einer Dosis von $0,1 \times 10^{12}$ bis $10 \times 10^{12}/\text{cm}^2$ bei einer Energie von 5 bis 20 keV enthält.

15. Verfahren zur Herstellung einer Halbleitervorrichtung nach Anspruch 7, dadurch gekennzeichnet, daß Schritt (f) die Schritte enthält:

(f-1) Bilden einer Polysiliziumschicht auf dem Gate-Oxidfilm; und

(f-2) Bilden der Gate-Elektrode durch selektives Entfernen der Polysiliziumschicht nach der Ionenimplantation von Stickstoff in die Polysiliziumschicht.

16. Verfahren zur Herstellung einer Halbleitervorrichtung nach Anspruch 15, dadurch gekennzeichnet, daß Schritt (f-2) einen Schritt zur Implantation von Stickstoff mit einer Dosis von 3×10^{14} bis $12 \times 10^{14}/\text{cm}^2$ bei einer Energie von 5 bis 30 keV enthält.

Hierzu 10 Seite(n) Zeichnungen

- Leerseite -

FIG. 1

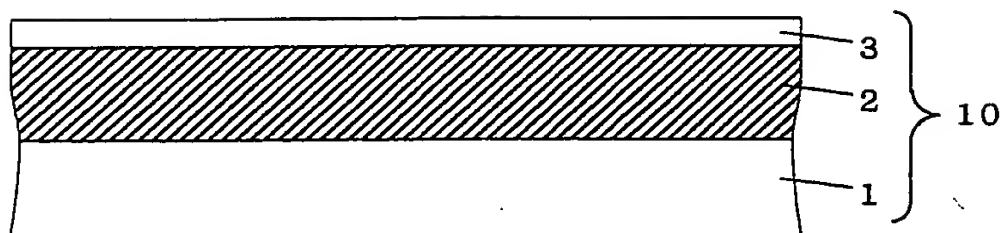


FIG. 2

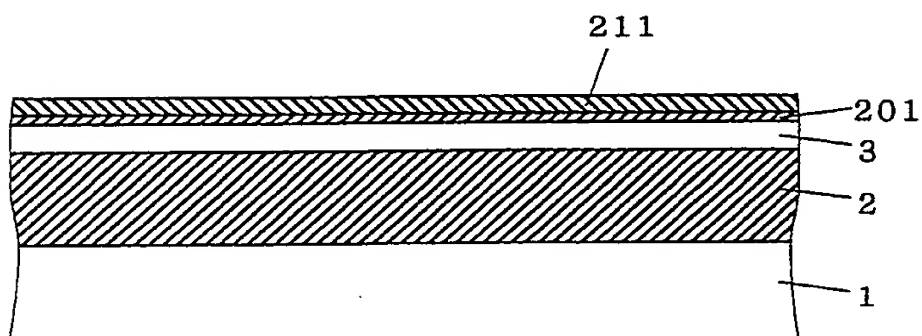
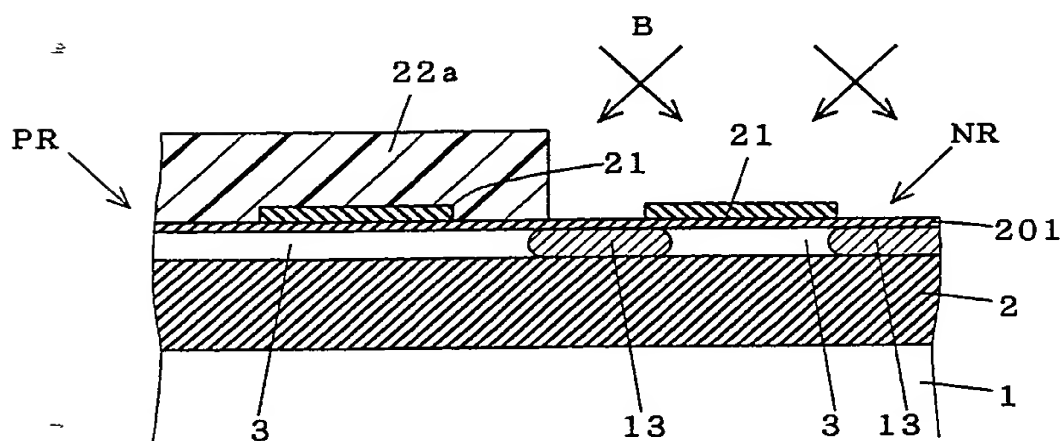
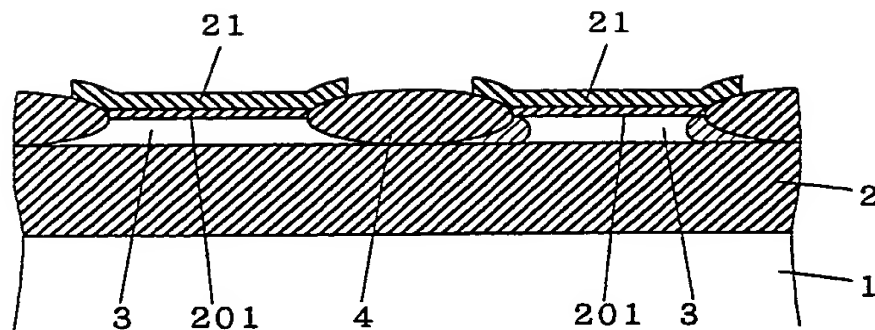


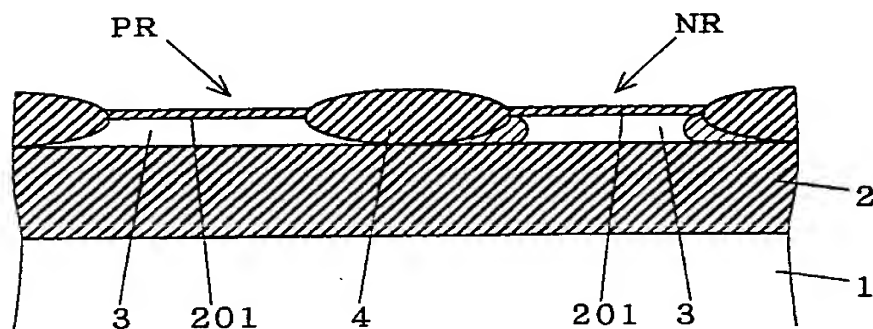
FIG. 3



F I G . 4



F I G . 5



F I G . 6

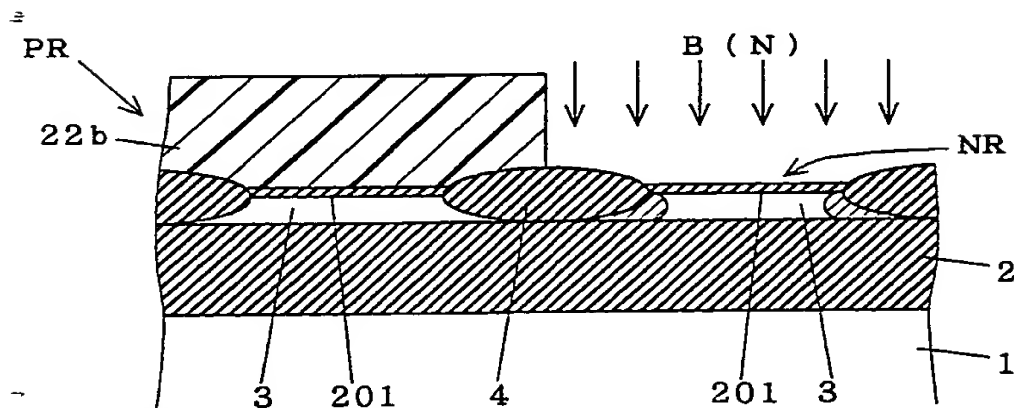


FIG. 9

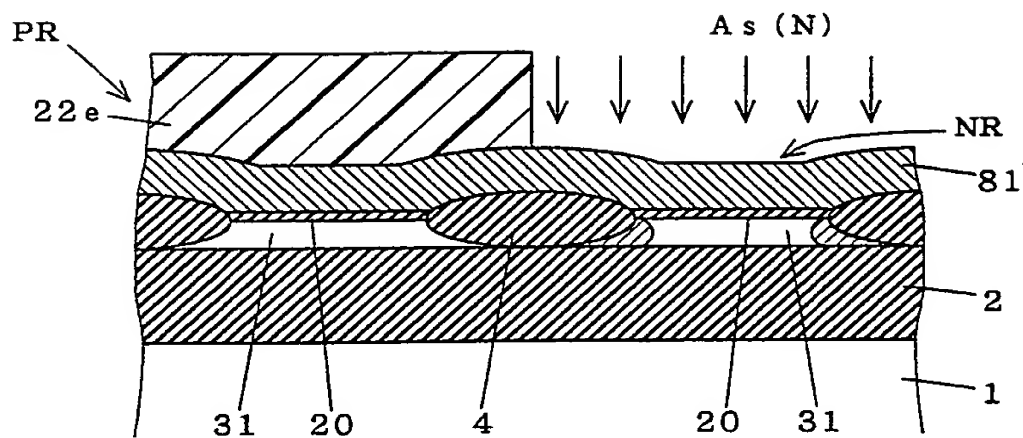


FIG. 10

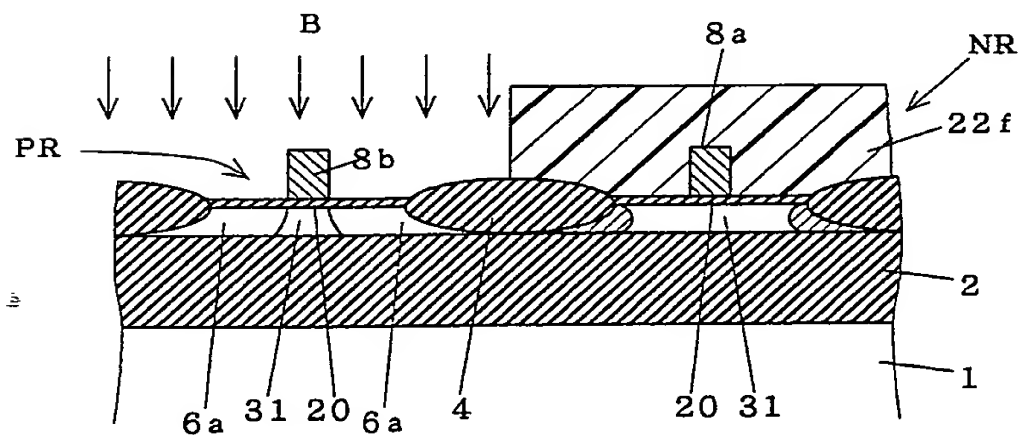


FIG. 11

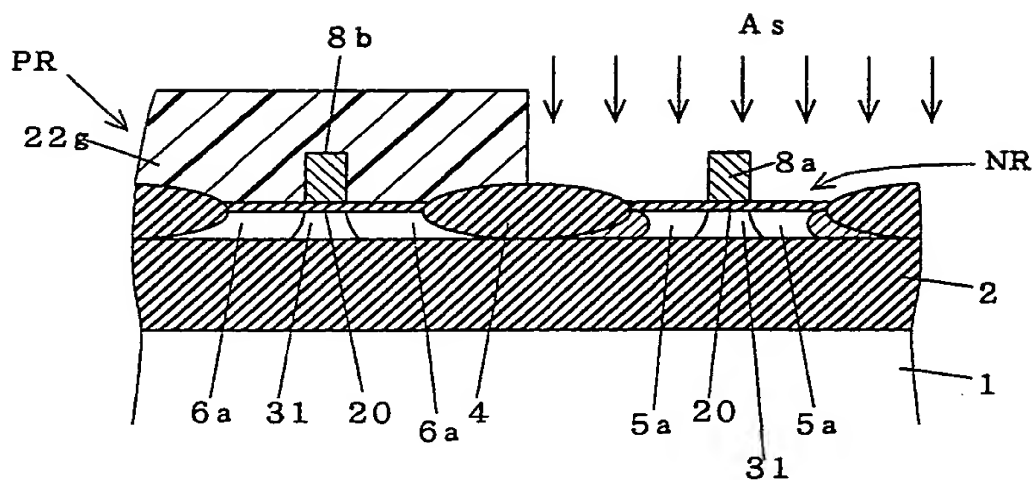


FIG. 12

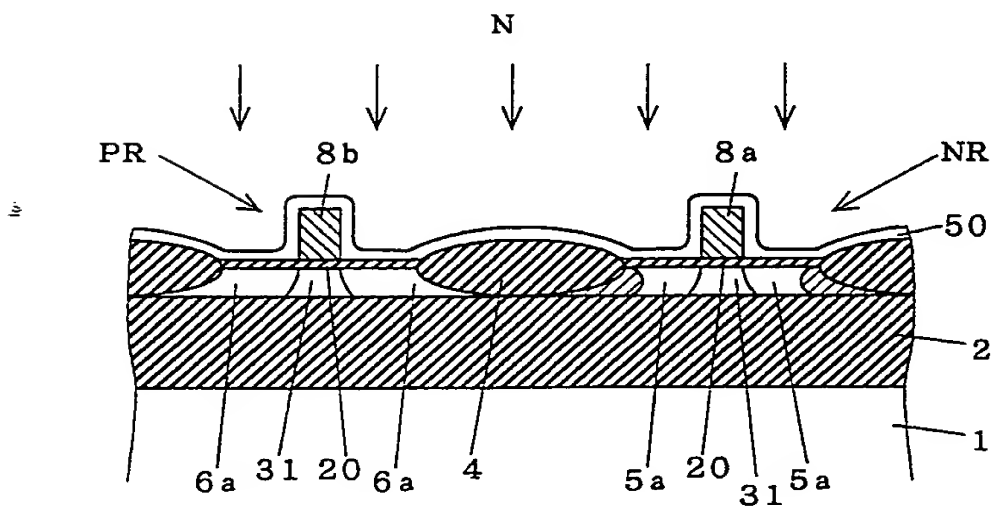


FIG. 13

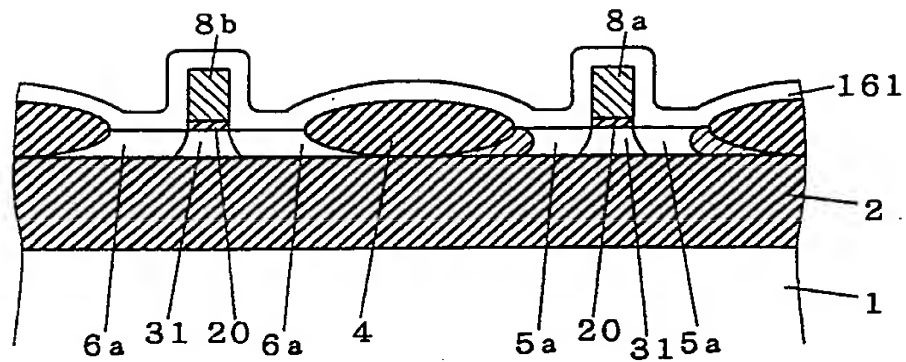


FIG. 14

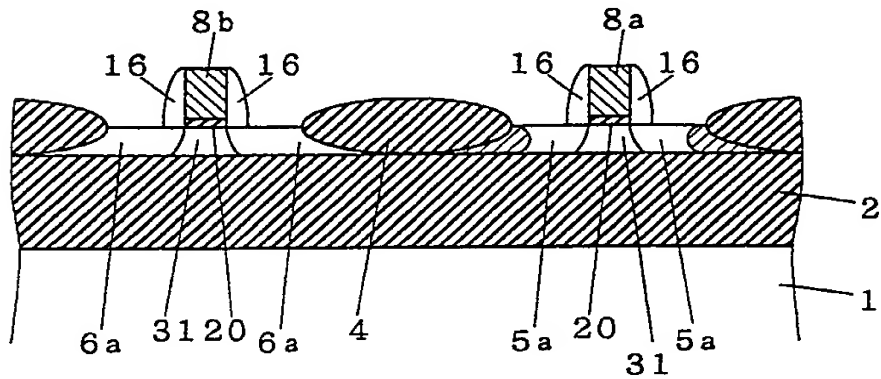


FIG. 15

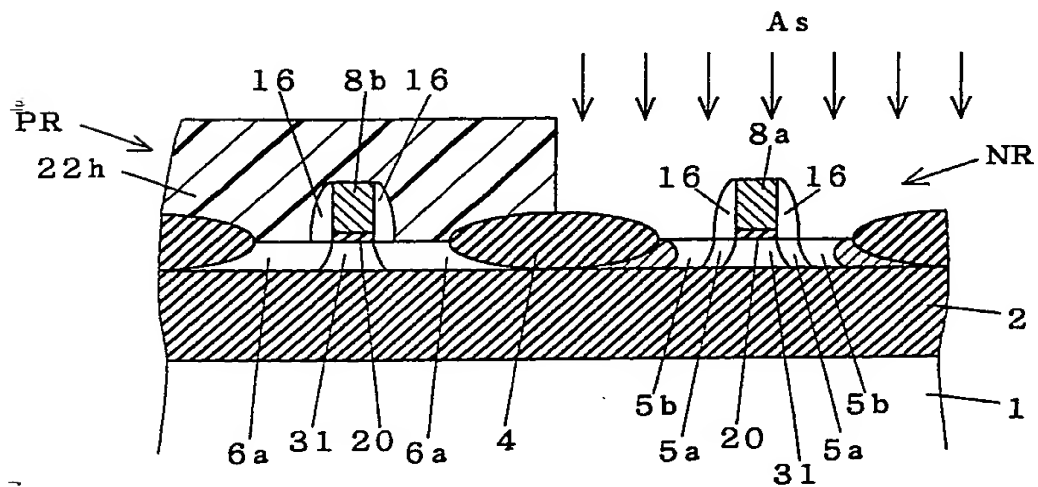


FIG. 16

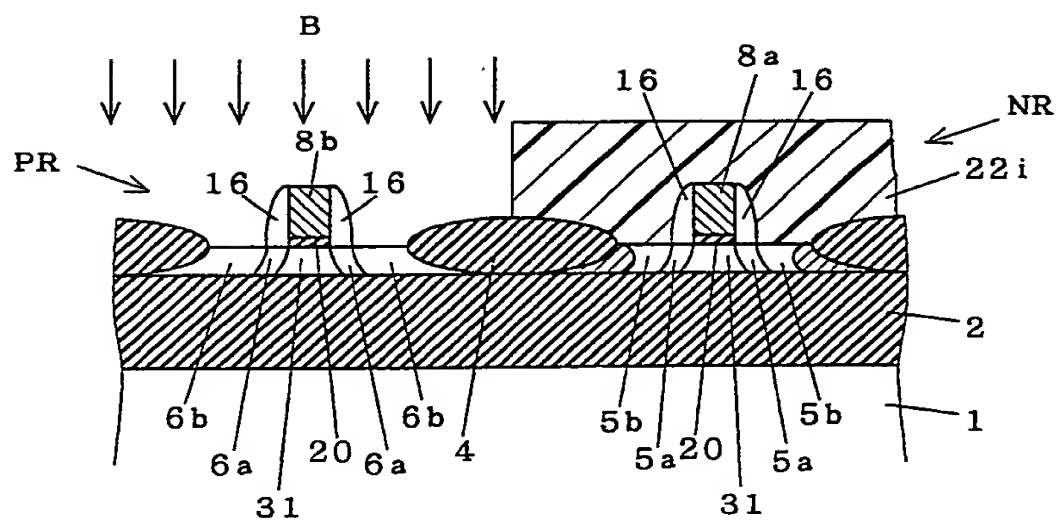
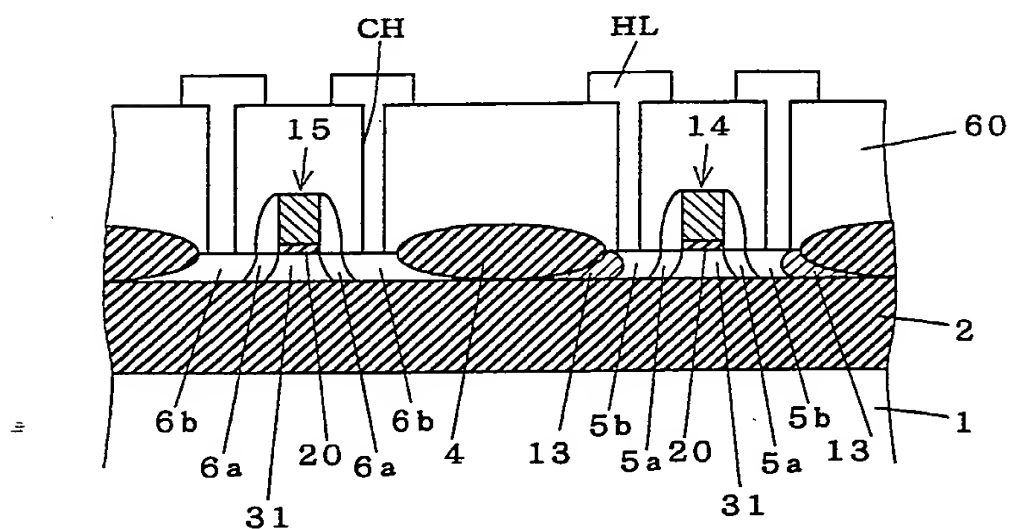
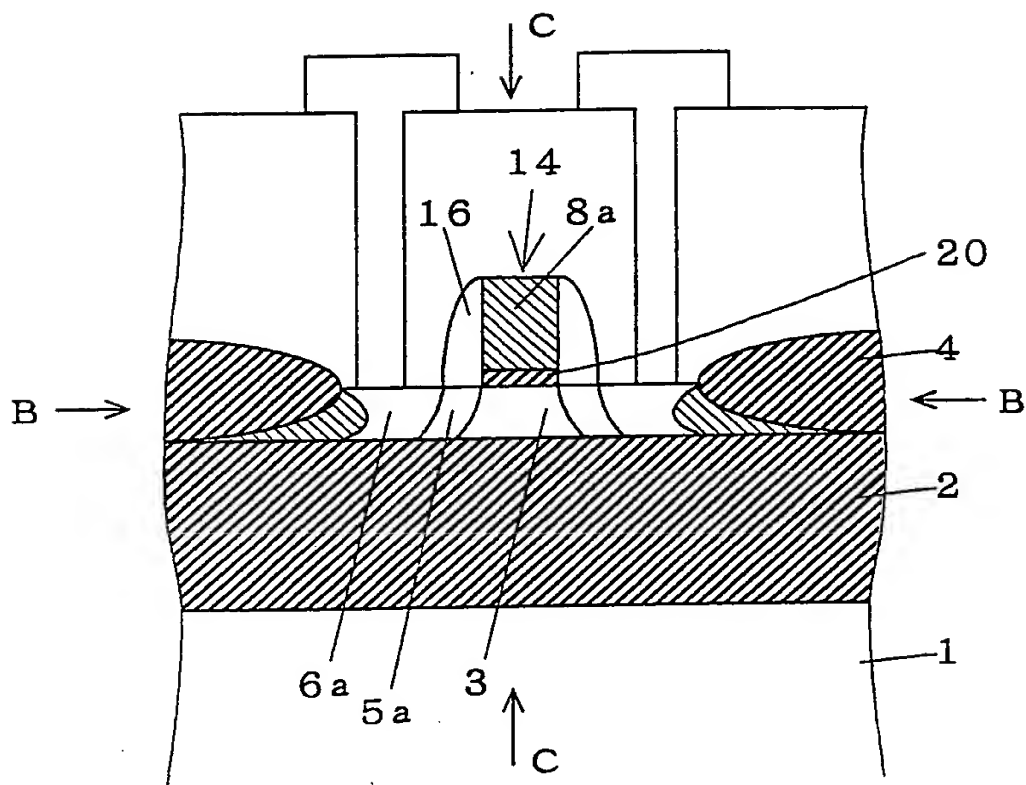


FIG. 17



F I G. 1 8



F I G. 1 9

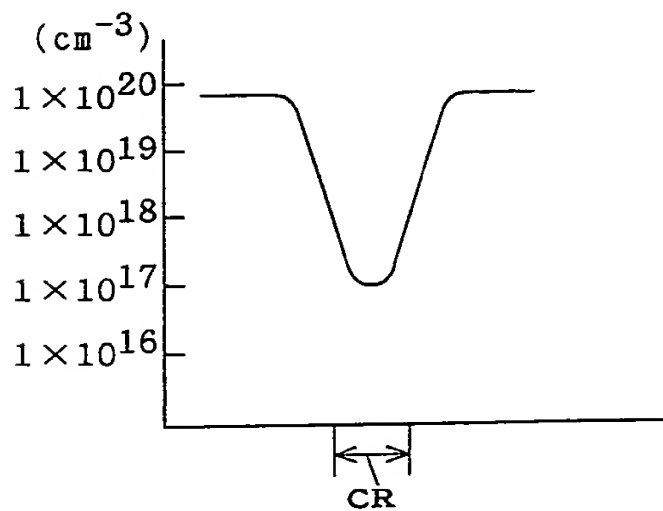


FIG. 20

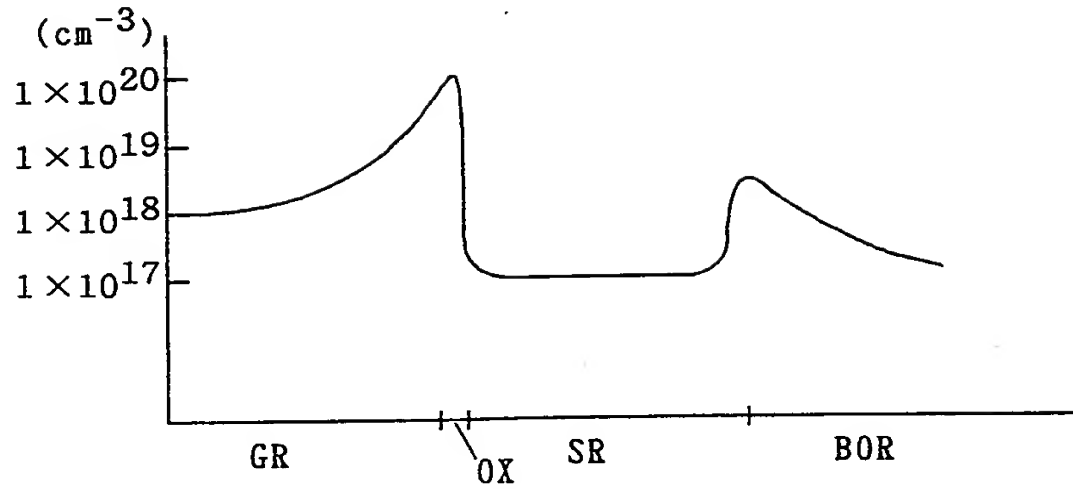


FIG. 21

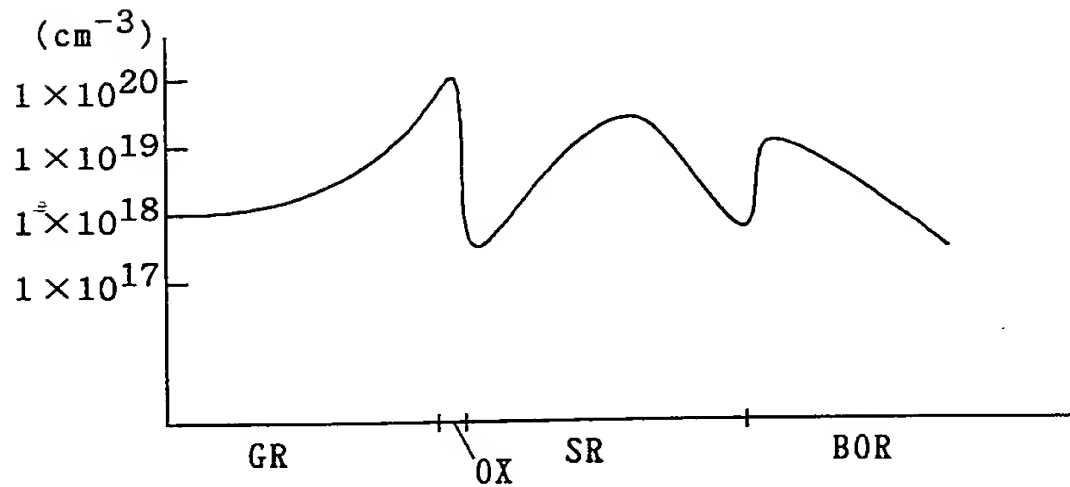


FIG. 22

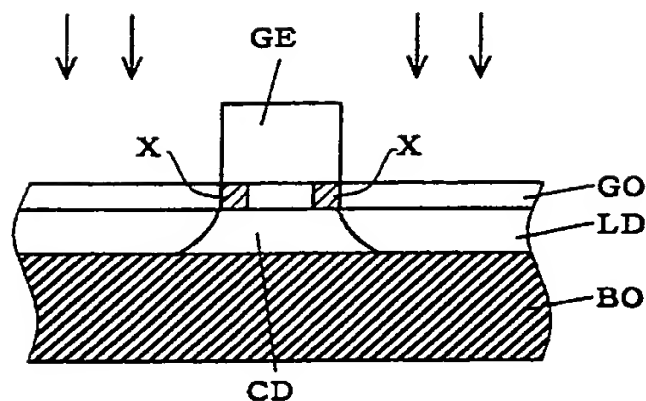


FIG. 23
STAND DER TECHNIK

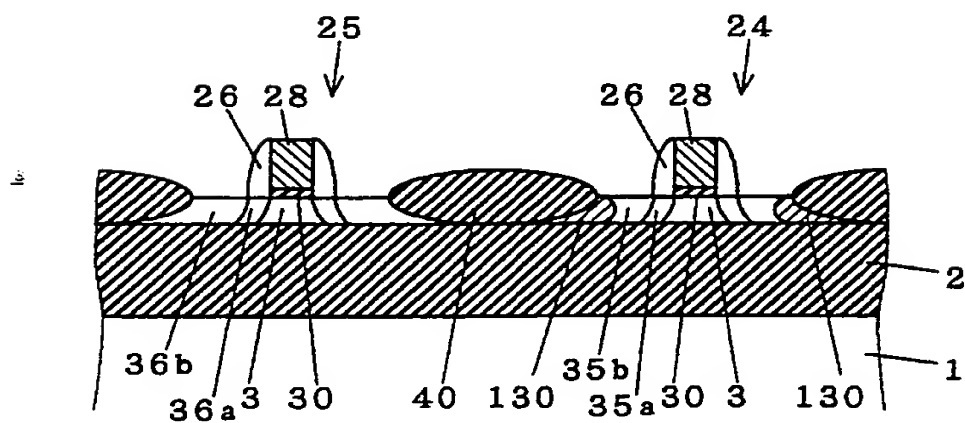


FIG. 7

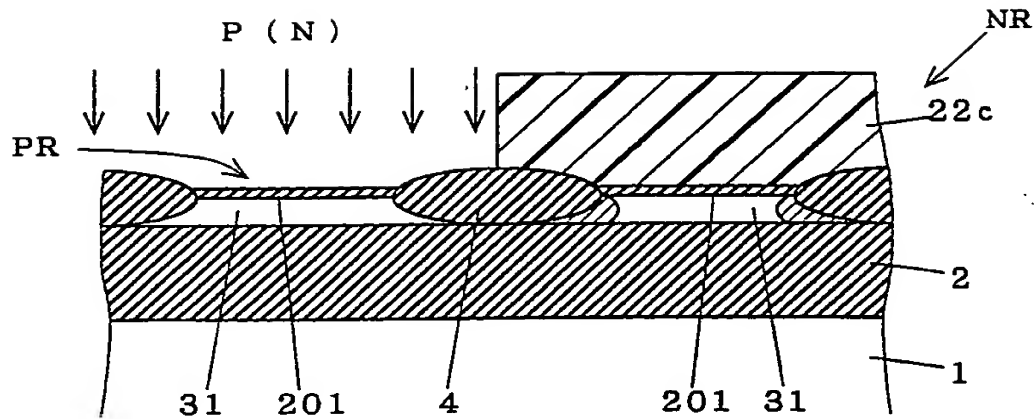
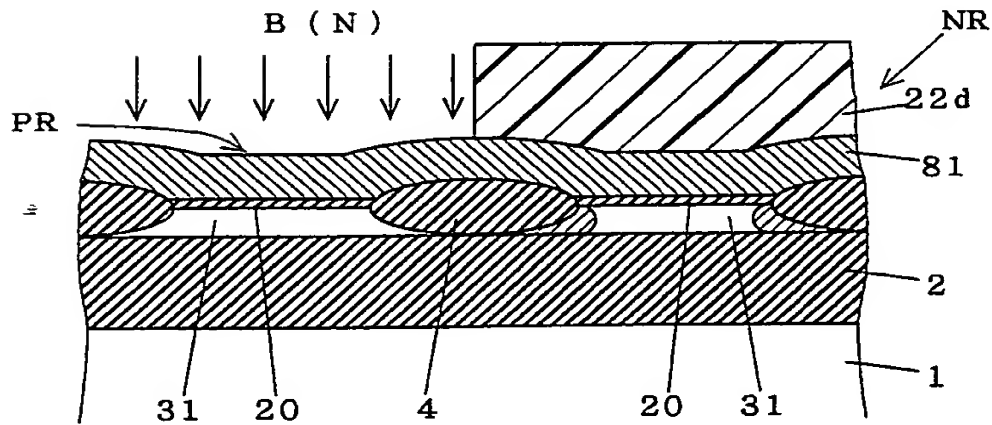


FIG. 8



Docket # GR 98 P 8041
Applic. # 09/313,424
Applicant: HUTTNER et al.

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100 Fax: (954) 925-1101